

（深圳）

实验报告

开课学期： 2025春季

课程名称：计算机组成原理（实验）

实验名称： 高速缓存器设计

实验性质： 设计型

实验学时： 4 地点： T2506

学生班级： 7班

学生学号： 2023311709

学生姓名： 宁中昊

作业成绩：

实验与创新实践教育中心制

2025年4月

|  |
| --- |
| 1、Cache详细设计 |
| 要求：绘制ICache的状态转换图，并结合关键代码，**详细描述**状态转移关系、转移条件、各状态的输入输出信号以及需要完成的操作。*\*若完成了附加题，则分别绘制DCache的读、写状态转换图，并配以文字详细描述相应的内容。* |
| 状态转换图：    转移关系与转移条件：  体现在三段式的第二段中，根据输入的inst\_rreq信号来判断是否开始取值（IDLE=>TAG\_CHECK），由hit信号来决定取值是否完成（TAG\_CHECK=>IDLE），由dev\_rrdy来决定是否需要替换Cache块（TAG\_CHECK=>REFILL），由dev\_rvalid信号来决定替换是否已经顺利完成（REFILL=>TAG\_CHECK）。  各阶段输入输出与操作：  在IDLE状态中，等待CPU的取值请求，根据inst\_rreq来选择是否进入TAG\_CHECK状态。将cpu\_addr准备好即对齐主存地址。  （对齐主存地址）  在TAG\_CHECK状态中，检查请求的指令是否存在Cache中，如果是则命中，hit=1，否则未命中hit=0，并以此作为inst\_valid的输出。命中时将地址对应的32位指令输出到inst\_addr，未命中时待主存就绪（dev\_rrdy=1）时将主存读使能信号赋值为4b’1111，发起主存读操作，进入到REFILL状态。  （判断是否命中）  （命中输出逻辑）  在REFILL状态中，从主存加载块到Cache块中，用LSFR生成随机数作为被替换的Cache块的序号，替换Cache块。  （LSFR生成随机数）  （Cache块替换序号确定）  （Cache块替换逻辑） |
| 2、调试报告 |
| 要求：结合仿真波形截图对ICache作详细的时序分析，要求包含读命中、读缺失2种情形，每种情形列举1个测试用例**详细分析**。分析过程参考实验原理中的时序解读，但需**把模块内部关键信号添加到波形，并结合信号的实际取值**进行分析。*\*若完成了附加题，则需额外给出DCache的仿真波形截图及其详细文字分析，要求包含写命中、写缺失和Uncached访问3种情形，每种情况列举1个测试用例详细分析。* |
| （图2-1）  如图2-1，在标出的位置后第一个时钟内，inst\_rreq被拉高，由IDLE状态进入TAG\_CHECK状态。随后命中Cache块，hit信号拉高，没有进入REFILL状态直接更新inst\_out输出。  （图2-2）  如图2-2为第一个时钟周期，Cache块此时为空，因此导致读缺失，因此需要进入REFILL状态，经过若干个时钟周期访问主存更新Cache块，完成后更新Cache块，如图2-3。查看valid、tag、data信号发现在REFILL状态结束后更新了Cache块，如图2-4，标示位置即为REFILL状态结束位置，更新Cache块  （图2-3）  （图2-4） |

|  |
| --- |
| 3、思考与讨论 |
| 分别给出无ICache时和有ICache时，SoC运行测试程序的总时间的截图，并谈谈你对该测试结果的理解。 |
| 无ICache时SoC运行测试程序总时间：  有ICache时SoC运行测试程序总时间：  可以看到，无ICache时运行时间为362540ns，比有ICache时的501350ns更少，加上ICache后似乎没有提升运行效率，反而减低了运行速度。我的理解是，在未命中的时候主存访问时间太慢，CPU需要等待较长的主存访问时间，就导致在未命中时额外的时间开销相比命中时带来的效率收益更大，最后使得运行时间变得更长。 |